

**MANUFACTURE OF INTEGRATED CIRCUIT DEVICE**

Patent Number: JP4302161  
Publication date: 1992-10-26  
Inventor(s): TAKIMOTO ISAO; others: 04  
Applicant(s):: MITSUBISHI ELECTRIC CORP  
Requested Patent: ☐ JP4302161  
Application Number: JP19910093425 19910328  
Priority Number(s):  
IPC Classification: H01L21/82  
EC Classification:  
Equivalents:

**Abstract**

**PURPOSE:**To manufacture an integrated circuit device of a structure, wherein the freedom of arrangement of pairs of VDD main lines GND main lines for supplying electricity to functional blocks increased, a change in the positions of the blocks from the optimum, positions, which is caused by restrictions on the arrangement of the power supply main lines for electrical power supply use, can be avoided as much as possible, the performance of circuits is excellent and an integration degree is high.  
**CONSTITUTION:**Main line arrangement regions 50 and functional block arrangement regions for arranging the pairs of the above VDD and GND main lines are set and thereafter, the above VDD main lines 90 and the above GND main lines 110 are arranged in such a way that the left and right positional relations between the above VDD and GND main lines 90 and 110 are determined according to the positional relations between regions 50 and VDD wirings 9 and a VDD wiring 9a and GND wiring 11 and a GND wiring 11a in the longitudinal directions in functional blocks 7.

Data supplied from the esp@cenet database - I2

(51) Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/82

7638-4M

H 0 1 L 21/ 82

L

審査請求 未請求 請求項の数 2 (全 10 頁)

(21) 出願番号 特願平3-93425

(22) 出願日 平成3年(1991)3月28日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 滝本 功

兵庫県伊丹市瑞原4丁目1番地 三菱電機  
株式会社エル・エス・アイ研究所内

(72) 発明者 坂下 和広

兵庫県伊丹市瑞原4丁目1番地 三菱電機  
株式会社エル・エス・アイ研究所内

(72) 発明者 湯佐 晃和

兵庫県伊丹市瑞原4丁目1番地 三菱電機  
株式会社エル・エス・アイ研究所内

(74) 代理人 弁理士 早瀬 憲一

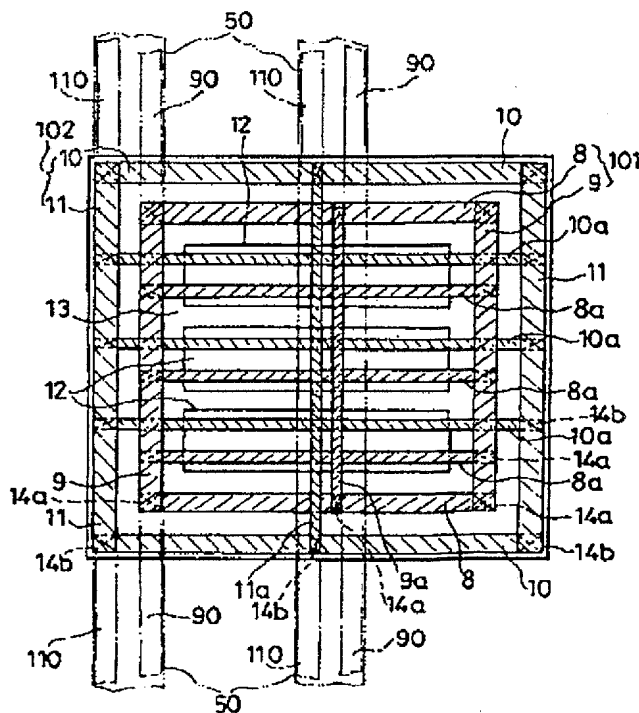
最終頁に続く

(54) 【発明の名称】 集積回路装置の製造方法

## (57) 【要約】

【目的】 機能ブロック7への給電を行う一対のVDD幹線90、GND幹線110の配置の自由度を高め、給電用の電源幹線の配置上の制約により生ずる機能ブロックの最適位置からの位置変更を極力回避することができ、回路性能がよく、集積度の高い集積回路装置を製造する。

【構成】 上記VDD、GND幹線対を配置するための幹線配置領域50と、機能ブロック配置領域を設定した後、幹線配置領域50と機能ブロック7内の縦方向のVDD9、9a及び、GND配線11、11aとの位置関係に応じて、上記VDD幹線90とGND幹線110の左右の位置関係を決定するようにした。



## 【特許請求の範囲】

【請求項1】 高電位側及び低電位側一対の平行な内部電源配線を有する1つ又は複数の機能ブロックと、上記内部電源配線のそれぞれと接続された高電位側及び低電位側一対の平行な電源幹線とを有する集積回路装置を、所定のパターンを有するマスクを用いて製造する方法において、上記マスクは、上記機能ブロックを配置するための機能ブロック配置領域及び上記一対の電源幹線を配置するための幹線配置領域を所望の条件に基づいてそれぞれ基板上に位置設定し、その後上記電源幹線についての高電位側と低電位側の左右の位置関係を、上記幹線配置領域と上記各内部電源配線の配置領域との位置関係に基づいて設定し、上記設定された機能ブロック配置領域、幹線配置領域の位置及び一対の高電位側、低電位側の電源幹線の左右の位置関係に基づいて作成したマスクレイアウトパターンを有するものであることを特徴とする集積回路装置の製造方法。

【請求項2】 請求項1記載の集積回路装置の製造方法において、上記機能ブロック配置領域及び幹線配置領域の位置設定後、上記幹線配置領域と上記一対の内部電源配線の配置領域との位置関係が、これらの領域が重なる位置関係となった場合、上記一対の電源幹線についての高電位側と低電位側の左右の位置関係を、これが上記機能ブロック内の一対の内部電源配線についての高電位側と低電位側の左右の位置関係と一致するように設定し、上記機能ブロック配置領域及び幹線配置領域の位置設定後、上記幹線配置領域と上記一対の内部電源配線との位置関係が、上記幹線配置領域と上記一対の内部電源配線の一方の配設領域とが重なる位置関係となった場合、上記一対の電源幹線についての高電位側と低電位側の左右の位置関係を、上記相互に重なる電源幹線と内部電源配線の電位が一致するように設定することを特徴とする集積回路装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は集積回路装置の製造方法に関し、特に集積回路基板上での機能ブロック及び該ブロックへの電源供給のための電源幹線のレイアウト方法に関するものである。

## 【0002】

【従来の技術】 半導体の微細化技術の進歩に伴い集積回路の規模は年々増大し、論理LSIでは10万トランジスタを超えるものが数多く増えてきている。このようにトランジスタ数が数10万を超える規模になってくると、その論理回路設計を従来のように基本回路レベルのマクロセルを用いて行うことは困難になってくる。そこでさらに大きな機能ブロックのレベルで設計を進めることが重要となってくる。この機能ブロックはあらかじめレイアウトパターン設計を行い、これを物理データとしてライブラリ化しておくことが望ましい。これらの複数

個の機能ブロックを1個のLSIの中に統合する際、ブロック間の信号配線は通常自動配置配線ソフトウェアにより実現できるが、電源配線（結線）は簡単でなく、人手に頼らざるを得ない場合も多く生ずることになる。また機能ブロックの中の電源配線のとり方も難しい条件設定を必要とし、このことが全チップ内の電源配線の分配にも影響を与え、自由度が少なくなる結果となる。このような問題点を解決するために機能ブロックの周囲を電源配線でリング状に取り囲む方法がとられている。この方法の採用により縦方向、横方向何れからでも機能ブロックへの給電が可能になり電源給電方式の自由度を増大させている。

【0003】 このような構成の集積回路の従来例を図9～図14を用いて説明する。図9は従来の集積回路装置における、回路要素のレイアウトのフロアプラン決定後の状態を示す概略図で、ここでは搭載される機能ブロックが1つであるものを示している。図10は上記集積回路装置の、レイアウトの実行後の状態を示す概略図、図13は図10の配置結果に対して配線を実行した後の状態を、機能ブロック及びその周辺領域を拡大して示す概略図である。

【0004】 図において、1は1つの機能ブロック7と多数の基本論理セル6を1チップ上に搭載する集積回路装置、2は基本論理セル6が配置されるトランジスタ領域、3は基本論理セル6間や基本論理セル6と機能ブロック7間を結ぶ信号配線が配設される配線領域、4は機能ブロック7が配置される機能ブロック配置領域、90、110はそれぞれ第2層アルミからなり集積回路装置1の外部側と電気的に接続された金属配線で、該各金属配線90、110はそれぞれ集積回路装置1の内部にVDD電位（高電位）、GND電位（低電位）を供給するものであり、以下第2アルミVDD幹線、第2アルミGND幹線という。ここで上記基本論理セル6はSSI、MSIレベルの論理を実現するものであり、また上記機能ブロック7はあらかじめレイアウトパターン設計を行い、設計データを物理データとしてライブラリ化した、RAM、ROM、MPY（乗算器）、CPU等の比較的大きな機能を実現する機能ブロックであり、図11は該機能ブロックの主要部を示している。

【0005】 図11において、102は機能ブロック7内にGND電位を供給する四角形のリング状GND配線で、上記機能ブロック7の周縁に沿って横方向に配置された第1層アルミからなる横方向の金属配線（以下第1アルミGND内部配線と記す）10と、上記機能ブロック7の周縁に沿って縦方向に配置された第2層アルミからなる縦方向の金属配線（以下第2アルミGND内部配線と記す）11とから構成されており、該両第1、第2のGND内部配線10、11はその両端部で互いにVIAホール14bにより電気的に接続されている。また10aは第1層アルミからなる横方向の金属配線で、上記

3

リング状GND配線102の左右の縦方向配線、つまり第2層アルミGND内部配線11間に配設され、その両端が該内部配線11とVIAホール14bを介して接続されている。また11aは機能ブロック7内の中央に配置された、第2層アルミからなる縦方向の金属配線で、その両端が上記第1アルミGND内部配線10とVIAホール14bを介して接続されている。

【0006】また101は上記リング状GND配線102の内側に配置され、該ブロック内にVDD電位を供給する四角形のリング状VDD配線で、それぞれ上記第1及び第2アルミVDD内部配線10、11と平行に配置された、第1、第2層アルミからなる金属配線（以下第1、第2層アルミVDD内部配線と記す）8、9から構成されており、該第1及び第2アルミVDD内部配線8、9は、その端部で互いにVIAホール14aにより電氣的に接続されている。また8aは第1層アルミからなる金属配線で、上記第1アルミGND内部配線10aと対をなすようこれに平行に配置され、その両端部が上記VDD内部配線9とVIAホール14aを介して接続されている。9aは上記第2アルミGND内部配線11aと対をなすようこれに平行に配置された第2層アルミ内部配線で、その両端がVIAホール14aを介して上記第1アルミVDD内部配線8に接続されている。

【0007】また12は機能ブロック7内に配置され、該ブロック7の機能達成に必要とされる論理セル、13は機能ブロック7内の信号配線が配設される配線領域である。

【0008】次に図12に示すパターン作成実行フロー図に従い、従来の機能ブロック7を1つ搭載した集積回路装置1のマスキレイアウトパターン作成について説明する。あらかじめレイアウトパターン設計が行われている機能ブロック7は、図11に示すようなパターンが完成している。つまり機能ブロック配置領域4内部にその機能を実現するために必要な論理セル12が配置され、機能ブロック内の配線領域13に配設されている信号配線により各論理セル12間の接続がなされている。そして各論理セル12のVDD電位はリング状VDD配線101から第1及び第2アルミVDD内部配線8a、9aを介して供給され、また各論理セル12のGND電位はリング状GND内部配線102から第1及び第2アルミGND内部配線10a、11aを介して供給されるようになっており、機能ブロック7への給電方法の自由度を増大した構成としている。

【0009】集積回路装置1のマスキレイアウトパターン作成は、以下のように行われる。まず集積回路装置1上に搭載する総トランジスタ数、搭載する回路の内容、動作性能等の情報から集積回路装置1のチップサイズ、基本論理セル6の配置可能領域を規定するトランジスタ領域2、基本論理セル6や機能ブロック7用の信号配線を配設するための配線領域3、機能ブロック7の配置可

4

能領域を規定する機能ブロック配置領域4、第2アルミVDD幹線90が配設されるVDD幹線配置領域、第2アルミGND幹線110が配設されるGND幹線配置領域の幅と配設位置等を図9に示すように決定する（ステップS1）。このフロアプラン決定後、決定したフロアプランを基に集積回路装置1の性能が最もよくなり、かつ配線が可能なように図10に示すような基本論理セル6をトランジスタ領域2上に、機能ブロック7を機能ブロック配置領域4上に位置決定する（ステップS2）。

【0010】そして基本論理セル6と機能ブロック7の配置が決定した後、この配置結果に対して配線が行われる（ステップS4）。図13は、上記配置結果に対して配線が行われた結果を機能ブロック7とVDD幹線及びGND幹線とに主に着目し、機能ブロック7及びその周辺を拡大して示している。

【0011】図13に示すように集積回路装置1の第2アルミVDD幹線90は、リング状VDD配線101の、機能ブロック7の上及び下辺に沿って配設されている第1アルミVDD内部配線8とVIAホール14aを経由して電氣的に接続され、集積回路装置1の第2アルミGND幹線110は、リング状GND配線102の、機能ブロック7の上及び下辺に沿って配設されている第1アルミGND内部配線10とVIAホール14bを経由して電氣的に接続されており、機能ブロック7への給電は集積回路装置1のVDD幹線90とGND幹線110より行われるようになっている。以上のように集積回路装置1のマスキレイアウトパターンの作成が行われる。

【0012】そしてこのマスキレイアウトパターンをマスク部材に転写し、該マスク部材を用いて集積回路装置の製造を行う。

【0013】

【発明が解決しようとする課題】しかしながら、従来の集積回路装置は以上のようにマスキレイアウトパターン作成が行われるので、集積回路の性能が最適になるよう機能ブロック7等を配置した配置結果が図14に示すように、機能ブロック7の左辺側及び中央部に配設された第2アルミGND内部配線11、11aと、集積回路装置1の第2アルミVDD幹線90とがこれらが重なる位置にあり、機能ブロック7の左辺及び中央部に配設された第2アルミVDD内部配線9、9aと第2アルミGND幹線110とがこれらが重なる位置にある場合、この配置では集積回路装置1のGND幹線110を機能ブロック7のリング状GND配線102と接続することはできるが、集積回路装置1のVDD配線幹線90を機能ブロック7のリング状VDD配線101と電氣的に接続することができない。

【0014】つまり集積回路装置1の第2アルミGND幹線110については、機能ブロック7のリング状GND102の第2アルミ内部配線10と交差する部分があ

るので、この交差部分にてVIAホールによりリング状GND102と接続可能であるが、集積回路装置1のVDD幹線90については、機能ブロック7のリング状VDD101を構成する縦方向及び横方向の内部配線8、9のいずれとも交差する部分がなく、VDD電位を機能ブロック内部に供給することができない。従って機能ブロックへの給電を可能にするためには機能ブロック7の設定位置を特性上の最適位置から適当なだけ移動させなければならず、この機能ブロックの設定位置の移動により回路性能の劣化、回路占有面積の増大等がもたらされるという問題点があった。

【0015】本発明はこのような従来の問題点を解決するためになされたもので、機能ブロックへの給電を行う電源幹線の配置の自由度が高く、給電用の電源幹線の配置上の制約により生ずる機能ブロックの最適位置からの位置変更を極力回避することができ、回路性能がよく、集積度の高い集積回路装置を製造することができる集積回路装置の製造方法を得ることを目的とする。

#### 【0016】

【課題を解決するための手段】この発明に係る集積回路装置の製造方法は、一対の平行な高及び低電位の内部電源配線を有する1つ又は複数の機能ブロックと、上記内部電源配線のそれぞれと接続された一対の平行な高及び低電位電源幹線とを有する集積回路装置を、所定パターンのマスクを用いて製造する方法において、上記マスクとして、上記機能ブロックを配置するためのブロック配置領域及び上記一対の電源幹線を配置するための幹線配置領域を所望の条件に基づいてそれぞれ基板上に設定し、その後上記内部電源配線について高電位側と低電位側の左右の位置関係を、該各内部電源幹線と上記各電源幹線との位置関係に基づいて設定し、上記設定されたブロック配置領域、幹線配置領域の位置及び一対の内部電源配線の左右の位置関係に基づいて作成したレイアウトパターンを有するマスクを用いるものである。

#### 【0017】

【作用】この発明においては、一対の高電位及び低電位内部電源配線を有する機能ブロックの配置領域と、集積回路装置内の一対の高電位及び低電位電源幹線の配置領域とをそれぞれ基板上に設定した状態で、上記電源幹線と内部電源配線との接続部分における機能ブロック内の電源配線の配設状況に応じて、上記高電位電源幹線と低電位電源幹線の左右の位置関係を決定するようにしたから、集積回路装置の電源幹線と機能ブロック内の内部電源配線の位置関係の制約による機能回路ブロックの位置変更を最小限に抑えることができる。つまり機能ブロックに対する給電用の電源幹線のレイアウトの自由度を飛躍的に増大できる。これにより機能ブロックの最適位置からの位置変更を極力回避して、回路性能がよく、集積度の高い集積回路装置を製造することができる。

#### 【0018】

【実施例】図1～図8は本発明の一実施例による集積回路装置の製造方法を説明するための図であり、図1は上記集積回路装置の、回路要素のレイアウトのフロアプラン決定後の状態を示す概略図で、ここでは従来例と同様、搭載される機能ブロックが1つであるものを示している。図2は上記決定したフロアプランでもって配置を実行した後の状態を示す概略図、図3は図2の配置結果に対して配線を実行した後の状態を、機能ブロック及びその周辺領域を拡大して示す概略図、図4は図3における集積回路装置の電源幹線内のVDD電源幹線とGND電源幹線の左右の位置関係を機能ブロック内の電源配線状況に応じて決定した状態を示す概略図、図5は図4における電源幹線の位置関係でもって集積回路装置の電源幹線と機能ブロックの電源配線とを接続した状態を示す概略図である。図において、50は外部電源から集積回路装置1内の回路に電源を供給する一対のVDD電源幹線とGND電源幹線を配置するためのVDD、GND対幹線配置領域である。なお図9～図14に示す従来例と同等な部分は同一の番号を付し、その説明は省略する。

【0019】次に製造方法について図6を用いて説明する。本発明の一実施例による集積回路装置1のマスクレイアウトパターン作成は以下に行われる。まず集積回路装置1上に搭載する総トランジスタ数、搭載する回路の内容、動作性能等の情報から、集積回路装置1のチップサイズ、基本論理セル6の配置可能領域を規定するトランジスタ配置領域2、基本論理セル6や機能ブロック7用の信号配線を配設するための配線配置領域3、機能ブロック7の配置可能領域を規定する機能ブロック配置領域4、1対のVDD及びGND電源幹線を配置するためのVDD、GND対幹線配置領域50の幅と配設位置を図1に示すように決定する(ステップS1)。

【0020】このように決定したフロアプランを基に集積回路装置1の性能が最もよくなり、かつ配線が可能なように図2に示すように、基本論理セル6をトランジスタ配置領域2上に、機能ブロック7を機能ブロック配置領域4上に配置設定する(ステップS2)。

【0021】そしてこのように基本論理セル6と機能ブロック7の配置を決定した後、この配置結果に対して配線が行われる。図3は図2に示す配置が従来例の図14と同一となった場合の機能ブロック7及びその周辺を拡大して示している。図3に示すように、配置実行後は、集積回路装置1の電源幹線配置領域50では、未だVDD電源幹線90とGND電源幹線110の左右の位置関係は決定していない。その後、本発明では集積回路装置1内のVDD電源幹線90とGND電源幹線110の左右の位置の決定を行う。

【0022】すなわち、紙面左側の幹線配置領域50の機能ブロック7に対する給電箇所付近には左側に第2アルミGND配線11が、右側に第2アルミVDD配線9が幹線配置領域50の配設方向と同一方向に配設されて

おり、両方の配線9、11とも幹線配置領域50と重なる。従って幹線配置領域50ではVDD電源幹線90を紙面右側に、GND電源幹線110を紙面左側に配置する。

【0023】また紙面右側の幹線配置領域50の機能ブロックに対する給電箇所付近には左側に第2アルミGND配線11aが、右側に第2アルミVDD配線9aが幹線配置領域50の配設方向と同一方向に配設されており、両方の配線とも幹線配置領域50と重なる。従って該幹線配置領域50ではVDD電源幹線90を紙面右側に、GND電源幹線110を紙面左側に配置する。そしてこのような配置に基づいてマスキレイアウトパターンを作成する。図4はこのように幹線配置領域50のVDD電源幹線90とGND電源幹線110の左右の位置が決定したところを示し、図5は集積回路装置1の幹線配置領域50内のVDD電源幹線90とGND電源幹線110の左右の位置が決定した後に、配線が行われた結果を機能ブロック7とVDD及びGND幹線90、110に主に着目して機能ブロック7及びその周辺を拡大して示している。

【0024】図5に示すように、集積回路装置1の第2アルミVDD電源幹線90は、機能ブロック7の上下辺に配設されている、リング状VDD配線101の一部をなす第1アルミVDD内部電源配線8とはVIAホール14aを経由して電気的に接続され、機能ブロック内の縦方向VDD配線である第2アルミVDD内部電源配線9とは直接接続される。また集積回路装置1の第2アルミGND電源幹線110は、機能ブロック7の上下辺に配設されている、リング状GND配線の一部をなす第1アルミGND配線10とVIAホール14bを経由して電気的に接続され、機能ブロック内の縦方向GND配線である第2アルミGND配線11とは直接に接続される。この結果、機能ブロック7への給電は集積回路装置1のVDD電源幹線90とGND幹線幹線110とよりできるようになる。その後は従来と同様、このような回路要素の配置に基づくマスキレイアウトパターンをマスク部材に転写し、該マスク部材を用いて集積回路装置の製造を行う。

【0025】このように本実施例によれば、一対のリング状VDD配線101及びリング状GND配線102を有する機能ブロック7の配置領域4と、集積回路装置1内の一対の第2アルミVDD幹線90及び第2アルミGND幹線110の配置領域50とをそれぞれ回路特性や回路占有面積の観点から基板上の所定部分に位置設定した状態で、上記VDD、GND幹線配置領域50と機能ブロック7内の縦方向のVDD、GND配線9、11との位置関係に応じて、上記VDD幹線90とGND幹線110の左右の位置関係を決定するようにしたので、VDD、GND幹線90、110と機能ブロック7内のVDD、GND配線9、11の位置関係の制約による機

能ブロック7の位置変更を最小限に抑えることができる。つまり機能ブロック7に対する給電用のVDD、GND幹線90、110のレイアウトの自由度を飛躍的に増大できる。これにより機能ブロックの最適位置からの位置変更を極力回避して、回路性能がよく、集積度の高い集積回路装置を製造することができる。

【0026】なお上記実施例では、機能ブロック配置領域4及び幹線配置領域50の位置設定後、上記機能ブロック7内のVDD及びGND配線9、11の両方が上記幹線配置領域50と重なる場合について説明したが、本発明は上記両内部電源配線の一方の配設領域が上記幹線配置領域50と重なる場合であっても適用することができる。

【0027】図7は本発明の他の実施例として、機能ブロック配置領域4及び幹線配置領域50の位置設定後、機能ブロック7内の縦方向の中央のGND配線11aが上記幹線配置領域50と重なる場合を示しており、この場合上記VDD幹線90を紙面右側、GND幹線110を紙面左側に位置設定する(図8参照)。

【0028】この場合VDD幹線90とリング状VDD配線101とはVIAホール14cを介して接続することとなるが、その他の点は上記実施例と同様であり、機能ブロックの最適位置からの位置変更を回避して、回路性能がよく、集積度の高い集積回路装置を製造することができる効果がある。

【0029】また、上記実施例では集積回路装置1に機能ブロック7を1個搭載した場合について述べたが、機能ブロックの搭載個数は2個以上でもよい。

【0030】

【発明の効果】以上のように本発明に係る集積回路装置の製造方法によれば、一対の高電位及び低電位内部電源配線を有する機能ブロックの配置領域と、集積回路装置内の一対の高電位及び低電位電源幹線の配置領域とをそれぞれ基板上に位置設定した状態で、上記電源幹線と内部電源配線との接続部分における機能ブロック内の電源配線の配設状況に応じて、上記高電位電源幹線と低電位電源幹線の左右の位置関係を決定するようにしたので、機能ブロックに対する給電用の電源幹線のレイアウトの自由度を飛躍的に増大でき、これにより機能ブロックの最適位置からの位置変更を極力回避して、回路性能がよく、集積度の高い集積回路装置を製造することができる効果がある。

【図面の簡単な説明】

【図1】本発明の一実施例による集積回路装置の製造方法におけるフロアプラン決定後の回路構成のレイアウトを示す概略図である。

【図2】上記レイアウトに基づく回路要素の配置を実行した後の回路要素のレイアウトを示す概略図である。

【図3】上記配置の実行結果に対して配線を実行した後の機能ブロック内及びその周辺領域を拡大して示す概略

図である。

【図4】上記配線実行後、集積回路装置のVDD幹線とGND幹線の左右の位置を決定した状態の機能ブロック内及びその周辺領域を拡大して示す概略図である。

【図5】上記一対の電源幹線の左右の位置を決定した後、集積回路装置の一対の電源幹線と機能ブロックとの一対の内部電源配線との接続状況を示す概略図である。

【図6】本発明の一実施例による集積回路装置の製造方法に用いるマスクのレイアウトパターン作成の実行フローを示す図である。

【図7】本発明の他の実施例における、回路要素の配置の実行結果に対して配線を実行した後の機能ブロック内及びその周辺領域を拡大して示す概略図である。

【図8】本発明の他の実施例における、集積回路装置の一対の電源幹線と機能ブロックとの一対の内部電源配線との接続状況を示す概略図である。

【図9】従来の集積回路装置の製造方法におけるフロアプラン決定後の回路構成のレイアウトを示す概略図である。

【図10】上記レイアウトに基づく回路要素の配置を実行した後の回路要素のレイアウトを示す概略図である。

【図11】あらかじめレイアウトパターン設計を行い物理データとしてライブラリ化されている機能ブロックのレイアウトを示す図である。

【図12】従来の集積回路装置の製造方法に用いるマスクのレイアウトパターン作成の実行フローを示す図であ

る。

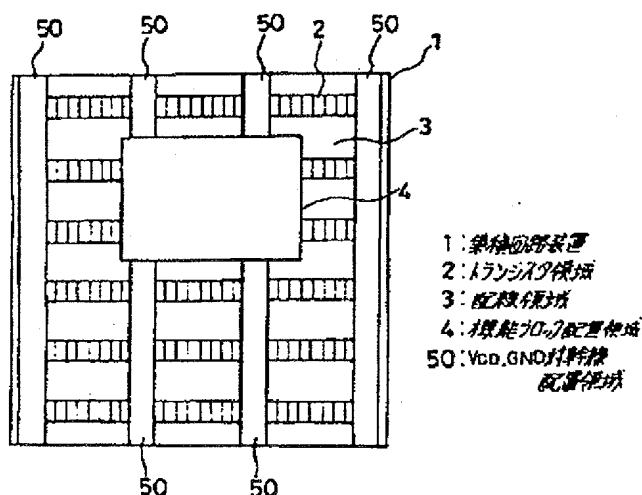
【図13】上記配置の実行結果に対して配線を実行した後の機能ブロック内及びその周辺領域を拡大して示す概略図である。

【図14】上記配線実行後、VDD幹線と機能ブロック内のVDD配線とが接続不能となった場合を示す図である。

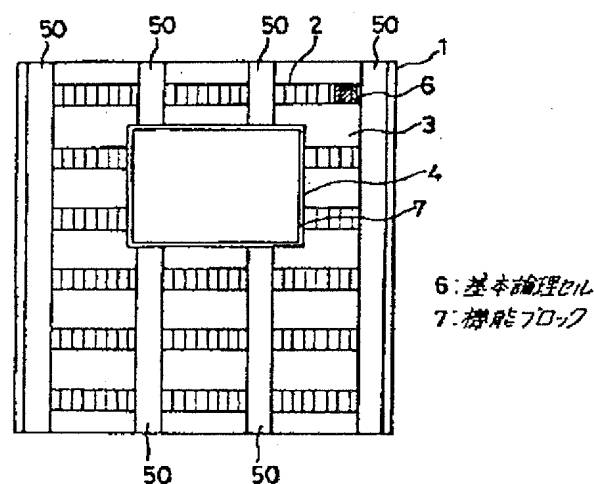
【符号の説明】

- 1 集積回路装置
- 2 トランジスタ領域
- 3 配線配置領域
- 4 機能ブロック配置領域
- 5 VDD, GND対幹線配置領域
- 6 基本論理セル
- 7 機能ブロック
- 8 第1アルミVDD配線
- 9 第2アルミVDD配線
- 10, 10a 第1アルミGND配線
- 11, 11a 第2アルミGND配線
- 12 論理セル
- 13 機能ブロック7内の信号配線が配設される配線領域
- 14a, 14b, 14c VIAホール
- 101 リング状VDD配線
- 102 リング状GND配線

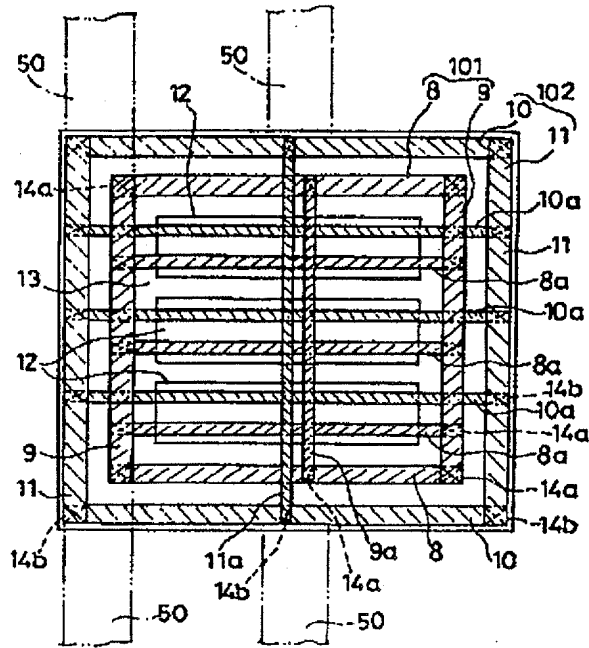
【図1】



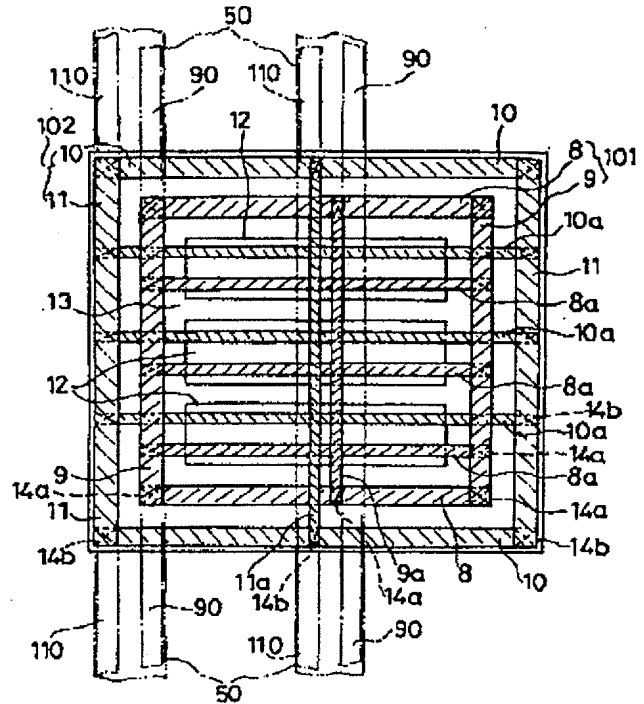
【図2】



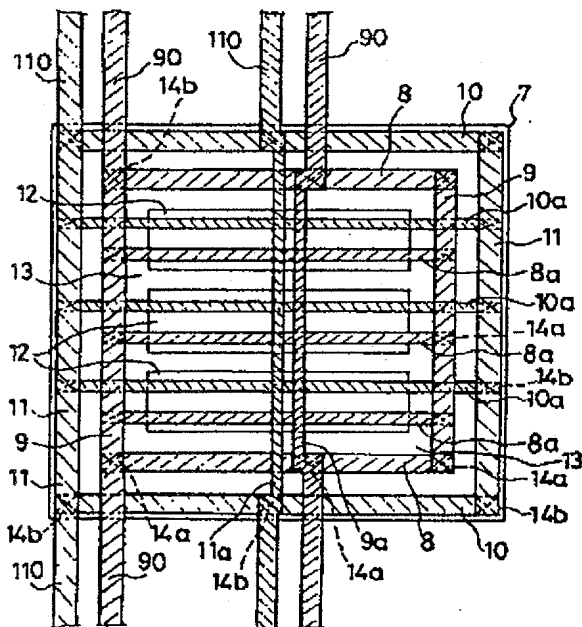
【図3】



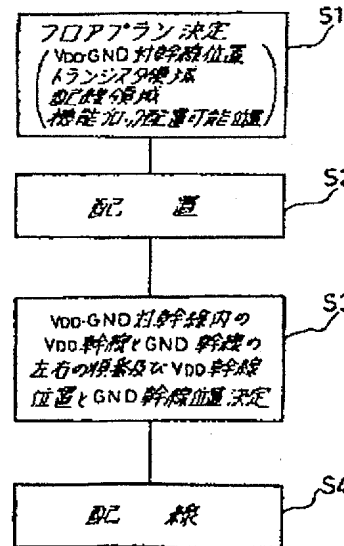
【図4】



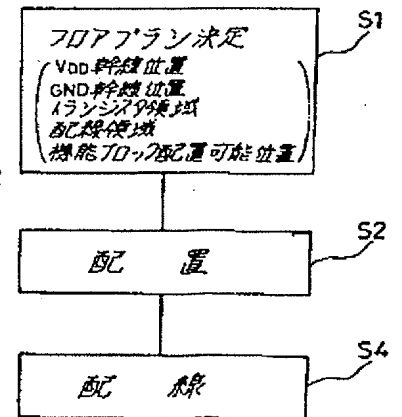
【図5】



【図6】

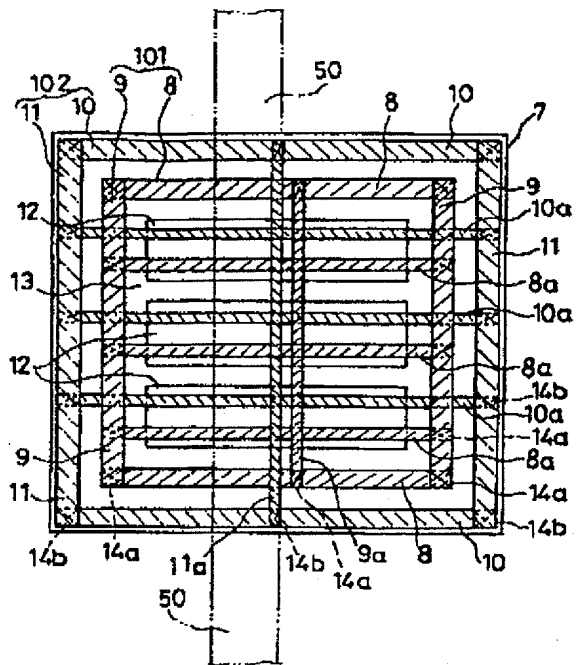


【図12】

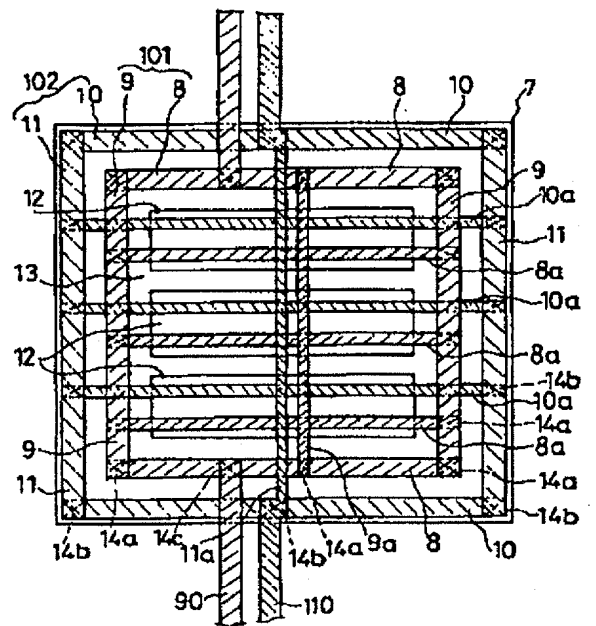




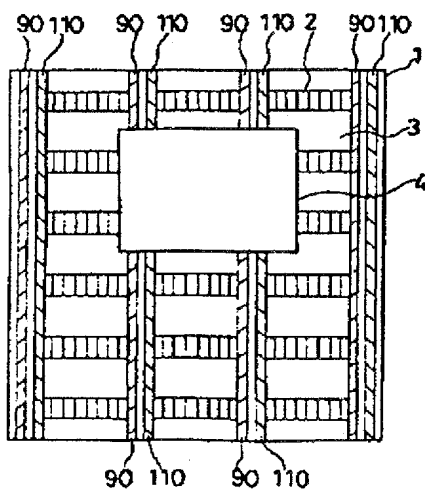
【図7】



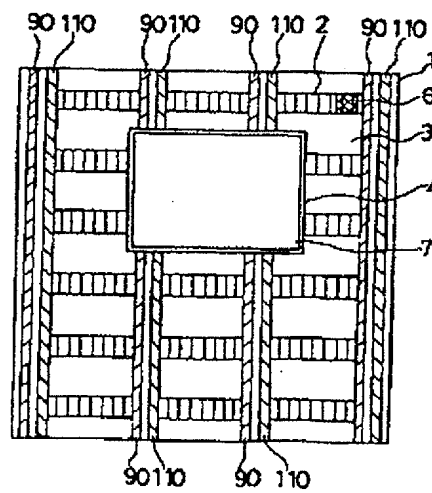
【図8】



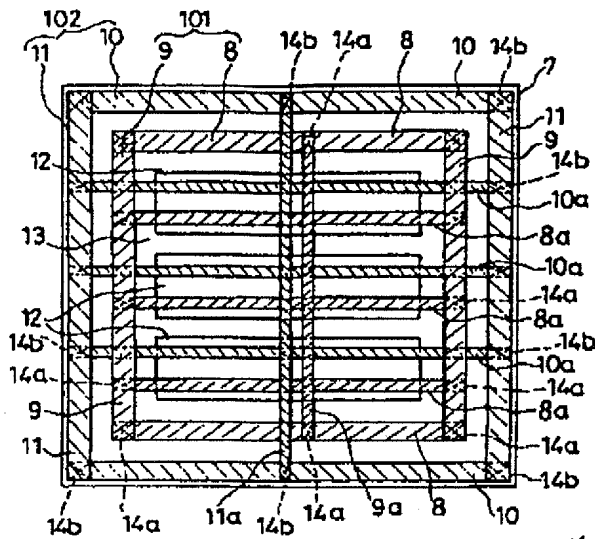
【図9】



【図10】

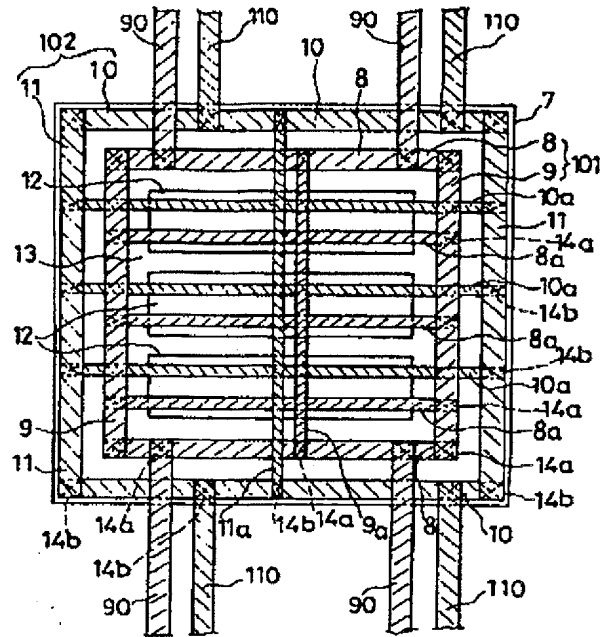


【図11】

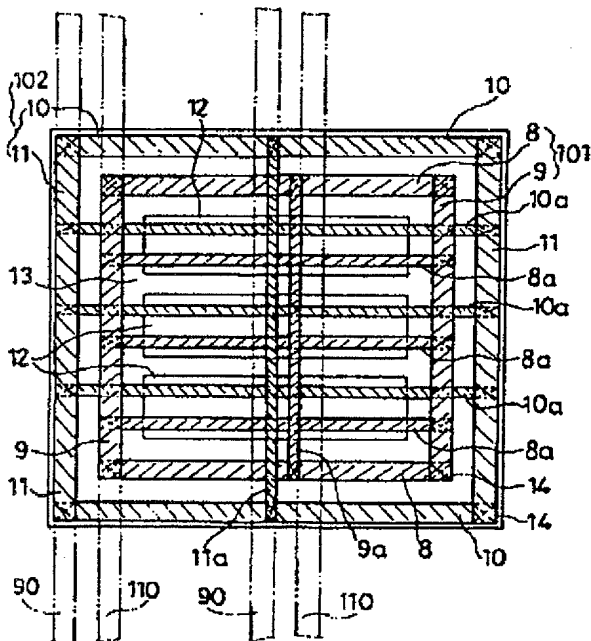


8,8a: 第1アルミVDD配線  
 9,9a: 第2アルミVDD配線  
 10,10a: 第1アルミGND配線  
 11,11a: 第2アルミGND配線  
 12: 絶縁芯材  
 13: 配線層材  
 14a,14b: VIAホール  
 101: リング状VDD配線  
 102: リング状GND配線

【図13】



【図14】



フロントページの続き

(72)発明者 橋爪 毅  
兵庫県伊丹市瑞原4丁目1番地 三菱電機  
株式会社エル・エス・アイ研究所内

(72)発明者 菰池 達紀  
兵庫県伊丹市瑞原4丁目1番地 三菱電機  
株式会社エル・エス・アイ研究所内